

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



(19)

(11) Publication number:

07297074 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 06089582

(51) Intl. Cl.: H01G 4/12

(22) Application date: 27.04.94

(30) Priority:

(43) Date of application
publication: 10.11.95(84) Designated contracting
states:(71) Applicant: MATSUSHITA ELECTRIC IND CO
LTD(72) Inventor: SAKAGUCHI YOSHIYA
KIKUCHI TATSUO

(74) Representative:

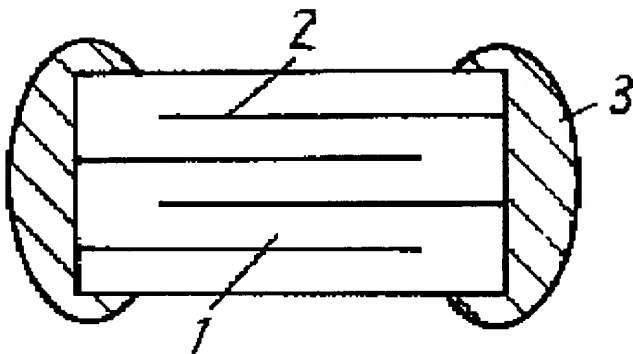
**(54) MULTILAYERED
CERAMIC ELECTRONIC
COMPONENT**

(57) Abstract:

PURPOSE: To provide a multilayered ceramic electronic component free from defects such as defective stack, delamination (interlayer exfoliation), and crack, by increasing the shrinkage factor of a ceramic sheet after pressing, and eliminating the thickness difference between the central part and the peripheral part of a stack which is to be caused by an internal electrode.

CONSTITUTION: The volume occupied by ceramic powder in a ceramic sheet 1 is set lower than or equal to 60%, and made to contain much air, thereby increasing the film thickness. By using the ceramic sheet 1, a multilayered ceramic electronic components like a multilayered ceramic capacitor are formed.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 2 9 7 0 7 4

(43) 公開日 平成7年 (1995) 11月10日

(51) Int. Cl. °

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 G

4/12

3 5 8

審査請求 未請求 請求項の数 2

OL

(全 4 頁)

(21) 出願番号 特願平6-89582

(22) 出願日 平成6年 (1994) 4月27日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 坂口 佳也

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 菊池 立郎

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

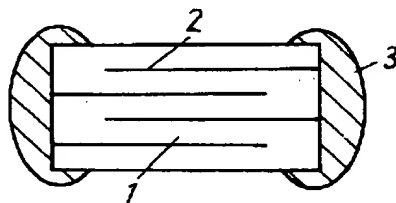
(74) 代理人 弁理士 小鍛治 明 (外2名)

(54) 【発明の名称】 積層セラミック電子部品

(57) 【要約】

【目的】 本発明は、セラミックシートの加圧後の収縮率を増大させ、内部電極による積層体の中心部と周辺部の厚み差をなくし、積層不良や、デラミネーション（層間剥離）、クラック（割れ）等の不良のない積層セラミック電子部品を提供することを目的とするものである。

【構成】 セラミックシート 1 中の、セラミック粉体の占める体積を 6 0 % 以下にし、空気を多く含有させて膜厚を厚くさせた。このセラミックシート 1 を用いて積層セラミックコンデンサをはじめとする積層セラミック電子部品を形成した。



1 セラミックシート

2 内部電極

3 外部電極

【特許請求の範囲】

【請求項 1】 セラミックシートと、導電体層を前記導電体層が前記セラミックシートのどちらか一方の端部に交互に露出するように積層した積層体と、前記積層体の導電体層の露出した両端面に設けた電極とを備え、前記セラミックシートは有機バインダーとセラミック粉体より形成され、前記セラミックシート中の前記セラミック粉体の占める体積比を 60%以下にした積層セラミック電子部品。

【請求項 2】 増粘剤を添加した有機バインダーを用いる請求項 1 記載の積層セラミック電子部品。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、積層セラミック電子部品に関するものである。

【0002】

【従来の技術】 近年、電子機器の小型化、高周波化に伴い、多層セラミック基板、積層セラミックコンデンサ、積層セラミックバリスタ、積層圧電素子等の積層セラミック電子部品の需要がますます高まってきている。積層セラミックコンデンサにおいては、小型化と同時に高容量化を行うために、誘電体層の薄膜化、高積層化が考えられている。

【0003】 従来、誘電体となる金属酸化粉末を、ポリビニルブチラール等の樹脂をキシレン等の溶剤に溶解して作ったビヒクル中に均一分散させてスラリーを得ていた。次に、このスラリーをドクターブレード法などによりシート状に成形し、セラミックシート 4 を形成していた。その後、図 5 に示すように、セラミックシート 4 上に、スクリーン印刷法等により内部電極 5 を形成し、次に、図 6 に示すようにセラミックシート 4 を積層し、プレス装置により、図 7 のように加圧圧着していた。この工程を繰り返すことにより、積層体を形成していた。この積層体を所望の大きさのチップに切断し、焼成して焼結体を得ていた。この焼結体に外部電極を形成し積層セラミックコンデンサを得ていた。

【0004】

【発明が解決しようとする課題】 従来の積層セラミック電子部品は、積層体を形成したときに、図 7 に示すように、内部電極 5 の凹凸を吸収することができず、段差が生じてしまう。この段差のために、均一な厚さの積層体を形成できず、積層不良や、デラミネーション（層間剥離）、クラック（割れ）等の不良が発生するという問題を有していた。また、図 8 は、積層セラミックコンデンサの積層数に対する中心部と周辺部の厚みの差の関係を示すグラフである。ここで用いたセラミックシート 4 の厚みは 10 ミクロン、内部電極 5 の厚みは 3 ミクロン

である。この図を見ると分かるように、積層数が 50 層を越えると中心部と周辺部とで厚みの差が生じ、積層不良が起きる。

【0005】 本発明は、セラミックシートの加圧後の収縮率を増大させ、内部電極による積層体の中心部と周辺部の厚み差をなくし、積層不良や、デラミネーション（層間剥離）、クラック（割れ）等の不良のない積層セラミック電子部品を提供することを目的とするものである。

【0006】

【課題を解決するための手段】 この目的を達成するために、本発明は、セラミックシート中のセラミック粉体の占める体積を 60%以下にし、空気を多く含有させて膜厚を厚くするものである。

【0007】

【作用】 上記構成により、セラミックシートの加圧後の収縮率が増大するので、内部電極による積層体の中心部と周辺部の凹凸を吸収し、積層不良や、デラミネーション（層間剥離）、クラック（割れ）等の不良の発生を防ぐことができる。

【0008】

【実施例】 以下、本発明の一実施例について、図 1～4 を用いて説明する。まず、チタン酸バリウム 100 重量部、ポリビニルブチラール 10 重量部、増粘剤（楠本化成（株）商品名：ディスパロン 6900）10 重量部、酢酸ブチル 150 重量部、フタル酸ジブチル 4 重量部をボールミルで 20 時間混練して、スラリーを得た。次に、このスラリーを用いて、厚さ 75 ミクロンのポリエステルフィルム上に、リバースロール法で、セラミックシート 1 を形成した。乾燥後のセラミックシート 1 の膜厚は 10 ミクロンで、粉体体積比は 50%であった。このセラミックシート 1 に、図 2 に示すように、内部電極 2 をスクリーン印刷法などにより形成した。その後、図 3 に示すように、セラミックシート 1 を積層し、図 4 に示すように、プレス装置で、加圧圧着した。次に、この工程を繰り返して積層体を形成した。この積層体を所望の大きさのグリーンチップに切断し、高温焼成して焼結体を得た。その後、図 1 のように、この焼結体の端面に金属ペーストを塗布し、外部電極 3 を形成して、積層セラミックコンデンサを得た。比較のため、従来の増粘剤を含まないセラミックシートで上記と同様にして、積層セラミックコンデンサを形成した。

【0009】 次に、内部電極 2 に起因する凹凸を調べ、その結果を（表 1）に示した。

【0010】

【表 1】

製造方法	本発明シートを用いた場合の凹凸 (μm)	従来シートを用いた場合の凹凸 (μm)
シート上	2~3 μm	2~3 μm
プレス後	約0.3 μm	約1 μm
積層後(30層)	2~4 μm	5~10 μm
積層可能枚数	120	50

【0011】(表1)において、シート上は内部電極そのものの厚み、プレス後は、セラミックシート1を積層プレスした後の凹凸、積層後は、30層積層した積層体の凹凸を示している。また、積層不良が発生するまでの積層枚数を積層可能枚数として示している。この表を見ると分かるように、従来のものと比べて、積層体の凹凸が大幅に改善されている。

*

【0012】また、セラミックシート1に含まれる有機バインダーに対する増粘剤添加量と、セラミック粉体の体積比が、積層性におよぼす影響を、100層の積層体を用いて調べた。その結果を(表2)に示す。

【0013】

【表2】

有機バインダー中に対する増粘剤の添加量	セラミック生シート中のセラミック粉体体積比(%)	積層性
0(重量%)	57(%)	×
5(重量%)	55(%)	○
10(重量%)	52(%)	○
15(重量%)	50(%)	○
20(重量%)	48(%)	○
25(重量%)	46(%)	○
30(重量%)	43(%)	×

【0014】(表2)に示すように、増粘剤の添加量が5~25重量%のものは、積層不良を起こしにくいことが分かる。しかし、本発明においては、増粘剤の種類により、適切な添加量は大きく変わる。

【0015】なお、本実施例においては、溶剤形スラリーを用いてセラミックシート1を形成したが、水系増粘剤を用いた水系スラリーであってもその効果に変わりはない。

また、積層体の形成時、一層積層するごとに、プレス装置で、加圧圧着していたが、積層体を形成後、最終的に加圧圧着してもその効果に変わりはない。さらに、積層セラミックコンデンサの場合についてのみ述べたが、本発明は、多層セラミック基板、積層バリスタ等積層型セラミック電子部品に広く用いることができる。

【0016】

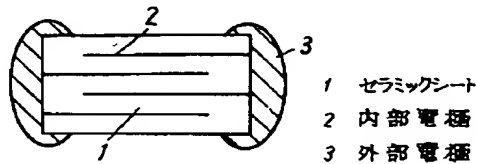
【発明の効果】以上のように、本発明は、セラミックシート中のセラミック粉体の体積比を60%以下にし、さらに有機バインダーに増粘剤を添加して用いることにより、空気の含有量が多く、膜厚の厚いセラミックシートが得られるものである。このセラミックシートを用いて積層体を形成し、加圧すると、積層体の収縮率が增大する。この現象を用いて、内部電極による積層体の中心部と周辺部の凹凸を吸収し、積層不良や、デラミネーション（層間剥離）、クラック（割れ）等の不良の発生を防ぐことができる。

【図面の簡単な説明】

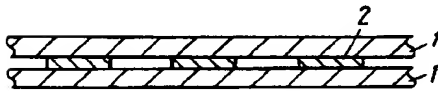
【図1】 積層セラミックコンデンサの断面図

【図2】 本発明の一実施例における積層体形成の工程を示す断面図

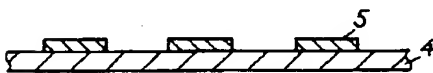
【図1】



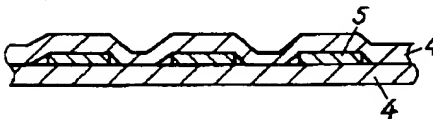
【図3】



【図5】



【図7】



【図3】 本発明の一実施例における積層体形成の工程を示す断面図

【図4】 本発明の一実施例における積層体形成の工程を示す断面図

【図5】 従来の積層体形成の工程を示す断面図

【図6】 従来の積層体形成の工程を示す断面図

【図7】 従来の積層体形成の工程を示す断面図

【図8】 従来の積層体の積層数に対する積層体の中心部と周辺部との厚み差の関係を示すグラフ

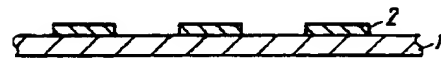
10 【符号の説明】

1 セラミックシート

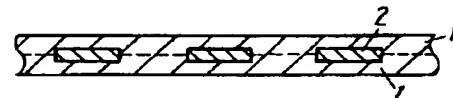
2 内部電極

3 外部電極

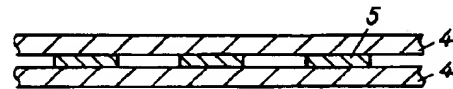
【図2】



【図4】



【図6】



【図8】

